

计算高度密集型应用在异构多核 DSP 上的运行方法研究

吴家铸, 田 希, 刘继福, 陈跃跃
(国防科技大学 计算机学院, 湖南 长沙 410073)

摘 要: 研究实现了计算高度密集型应用在异构多核 DSP 上运行的方法, 即利用存储在 RISC 核外设总线上的 FLASH 中的应用程序, 通过异构多核 DSP 目标板加电, 自动加载到 RISC 核 RAM 执行, 该应用程序将计算高度密集型应用的 DSP 程序加载到 DSPs 核上, 并利用 RISC 核向 DSPs 核点火执行. 主要介绍了异构多核 DSP 中的 RISC 核和 DSP 核的复位、启动方法, DSP 核的多种冗余降级工作模式, 详细分析了 RISC 核控制 DSP 核的原理及操作方法. 提出的运行方法完整有效, 为相关的研究人员打下了良好的基础.

关键词: 异构多核 DSP; RISC 核; 计算密集型 DSP 算法

中图分类号: TP36

文献标识码: A

文章编号: 1000-7180(2011)05-0045-03

The Method of Highly-Intensive Computing Applications Running on the Heterogeneous Multi-core DSP

WU Jia-zhu, TIAN Xi, LIU Ji-fu, CHEN Yue-yue

(School of Computer science, National University of Defense Technology, Changsha 410073, China)

Abstract: The research implemented the method of highly-intensive computing applications running on the Heterogeneous multi-core DSP. Using the applications stored in the FLASH of peripheral bus of RISC core, with the Heterogeneous multi-core DSP target board power-up, automatically loaded into the RAM of RISC core and implement, the application load the Highly-intensive computing applications to the DSPs core and implement the RISC core by using DSPs cores. Introduce the reset and start method of DSP core and RISC core in the Heterogeneous multi-core DSP core, and many redundant and degraded mode of DSP core, we analyzed the principles and operation methods of the RISC core controlling DSP core in detail. This method of the article is complete and effective, and then lay a good basis for the researchers.

Key words: heterogeneous multi-core DSP; RISC core; compute-intensive DSP algorithms

1 引言

近些年, 随着科学技术的快速发展以及多核成为 DSP 研究的重点^[1], 越来越多的采用计算密集型 DSP 算法的应用在各行各业不断涌现, 这些应用对于嵌入式系统在更丰富的功能、更强大的计算能力、更加小巧携带方便以及节能低功耗等方面提出了更高的要求. 片上系统(SOC)是超大规模集成电路(VLSI)发展方向之一^[2]. 为了满足这些要求, 基于片上系统 SOC 集成的嵌入式系统解决方案尤其是基于多核 DSP 体系结构的嵌入式系统解决方案, 就成为

媒体处理、科学计算和专用控制等特定领域的首要解决方案.

在单芯片上既集成了 DSP 核, 又集成 RISC (Reduced Instruction Set Computer, 精简指令集计算机)处理器核或某些专用协处理器内核, 是最常见的一类异构多核处理器, 这种异构多核处理器也称为异构多核 DSP^[3]. 其中, RISC 核主要用于运行嵌入式操作系统, 处理普通应用, 实现人机交互和控制功能; DSP 核则充分发挥其面向媒体、数字信号处理、高速运算的特长, 将不同类型的计算任务分配到不同的处理器核并行处理, 实现其计算加速功能. 这

样,异构多核 DSP 既可以发挥它们各自的专长,又能充分利用单芯片多核结构带来的低延迟和高带宽优势,从而为不同需求的应用提供更加灵活、高效的处理机制,带来更强大的并行处理能力、更高的计算密度,并且能在很大程度上减缓处理器的散热和功耗问题,以满足高性能数字信号处理的需要。

2 异构多核 DSP 体系结构

异构多核 DSP 的体系结构如图 1 所示。由 4 个 DSP 核和 1 个 RISC 核组成;DSP 核内核主频 350 MHz,采用八流出的超长指令字(VLIW)体系结构。DSPs 核与 RISC 核之间通过 RISC-DSP 桥和管理总线相连,每个 DSP 核都拥有独立的访存接口 EMIF,DSP 核之间的小批量数据共享通过快速共享数据缓冲池(FSDP)实现,从而实现片内诸 DSP 核紧耦合应用;主要的外围设备均挂载在 RISC 核的外设总线上;为支持不同芯片内大批量数据和片间 DSP 核之间的数据交互,设计了互连机制^[4]:通过交叉开关将 DSP 核增设的互连接口和片间互联 PCIE 接口连接起来,并开发了相应的通信协议。

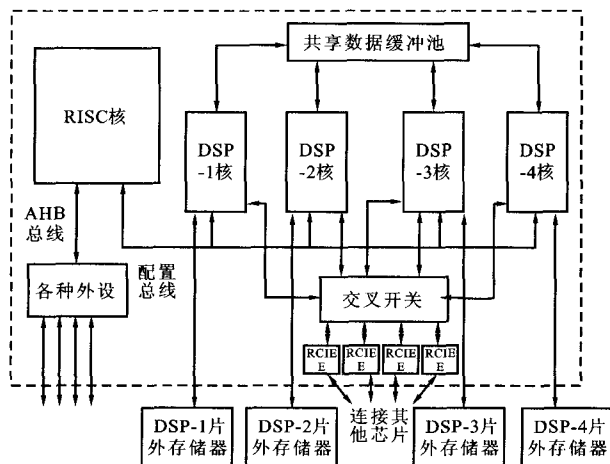


图 1 异构多核 DSP 的体系结构

3 计算高度密集型应用的运行方法

3.1 根据异构多核 DSP 特点,编写计算高度密集型应用程序

异构多核 DSP 芯片的多个 DSP 核可工作在多种冗余降级模式下,即当 RISC 核通过 WDT 部件检测到某个(某几个)DSP 出现永久故障后,可控制各 DSP 核复位并重新加载应用程序,仅使用仍可正常工作的 DSP 核完成降级使用时的系统功能。例如,正常情况下 RISC 核向 DSP 加载四核映射的应用程序;当 DSP1 失效时,则重新加载三核映射的应

用程序;当 DSP1 和 DSP2 失效时,则重新加载两核映射的应用程序。实现方式如下:

(1) 在系统设计时,即按照 RISC-DSP $\times 4$ 、RISC-DSP $\times 3$ 、RISC-DSP $\times 2$ 、RISC-DSP $\times 1$ 方式设计四套程序软件(简称 1+4、1+3、1+2、1+1 系统模式)。各 DSP 核的功能应采用同构设计,以便灵活应对失效的 DSP 核。

(2) 当 DSP 程序均由 RISC 加载时:RISC 向 DSP 核加载不同的系统模式程序,各 DSP 核复位后均从 0x0 地址开始运行,可实现不同的系统工作模式。

3.2 RISC 对 DSPs 程序的控制操作

RISC 控制 DSP 的工作主要包括 DSP 的复位和启动模式、DSP 程序的加载和 DSP 程序的执行等三部分。

对 DSP 进行复位和设置启动模式操作是编写基于异构多核 DSP 的计算高度密集型应用的 RISC 程序的第一步工作;RISC 核与 DSP 核之间存在主从关系,DSP 核的复位和自举在一定程度上受到 RISC 核的控制。该控制是通过在 RISC 核中 LDB 内部设置点火寄存器实现的,通过设置该寄存器 RISC 核可以独立地配置每个 DSP 核的启动方式及进行复位等。点火寄存器定义如图 2 所示。

31	12	11	10	9	8	7	6	5	4	3	2	1	0
点火寄存器	DSP1 复位	DSP1 启动模式	DSP2 复位	DSP2 启动模式	DSP3 复位	DSP3 启动模式	DSP4 复位	DSP4 启动模式					

图 2 点火寄存器格式

如果设置 4 个 DSP 的启动模式都为 MBI 启动,设置完成后复位 DSP。复位 DSP 时,保持 MBI 启动模式不变,将 DSP 复位位置为 1。此外,由于 LDB 模块连接 AHB 总线和 MB 总线,因此 LDB 模块分别需要 RISC 和 DSP 两端的时钟及复位信号。假设计算高度密集型应用的 RISC 程序命名为 fft.c,DSP 进行复位和设置启动模式操作的代码就是 fft.c 文件的主函数中第一段执行的代码。

DSP 程序的加载是编写基于异构多核 DSP 的计算高度密集型应用的 RISC 程序的第二步工作;DSP 程序的加载是通过编写对应的 RISC 程序,该程序通过控制 LDB 内部寄存器将 DSP 程序的各个段内容作为数据分别写到 DSP 存储空间的指定位上,完成加载工作。首先需要定义 LDB 模块的结构体。然后,获取 DSP 程序各个段的首地址、长度以及内容。需要注意的是每个 DSP 都有自己的 fft.out

程序.最后,分别利用每个 LDB 模块的结构体指针将各个数组的数据写入到该 DSP 的相应位置,完成该 DSP 程序的加载.

DSP 程序的执行是编写基于异构多核 DSP 的计算高度密集型应用的 RISC 程序的第三步工作,也是最后一步:DSP 程序的执行是通过 RISC 向 DSP 点火,启动 DSP,使 DSP 开始执行地址 0 处开始的程序.

将 RISC 点火寄存器中 DSP 启动模式位设置为固定值,使得复位 DSP 后由 RISC 通过 MBI 对 DSP 进行初始化,进入 MBI boot 模式. DSPs 复位时,只有 DSPs 内核进入复位状态,其余模块保持激活状态(active).这样,RISC 可以通过 MBI 接口访问 DSP 的整个存储空间(包括片内的外设寄存器),对它们进行初始化.完成有关设置之后,RISC 向 HPIC 寄存器的初始位写 1,将 DSPs 从复位状态唤醒,接下来 DSP 将从地址 0 开始执行程序.这一过程如图 3 所示.

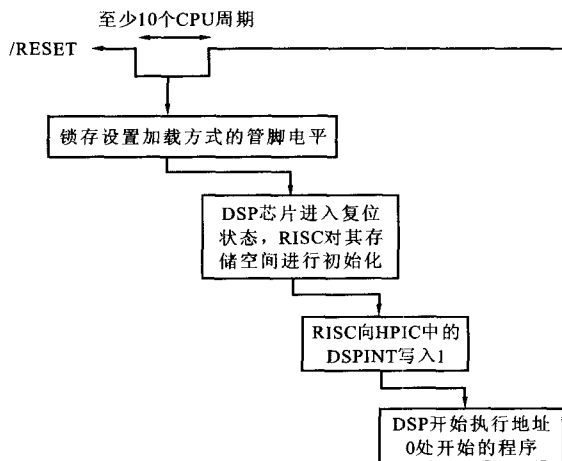


图3 MBI boot 过程

MBI boot 模式下,RISC 核可对 DSPs 可以进行的操作包括:初始化 CPU 和 EMIF,向 DSPs 加载程序以及数据.这些都可以在 RISC 核上编程实现. MBI boot 模式下,RISC 核与 DSP 核的通信,同样是必须按照 MBI 的存取操作步骤来进行.

3.3 RISC 程序的编译

RISC 的软件开发使用 GNU 交叉编译系统 BCC^[5]. BCC, 全称“Bare-C Cross Compilation system”.它是基于 GNU 系列的可以自由获取的、并带有一系列附加工具的开发系统,用于 RISC 处理器上的交叉编译. BCC 包括如下程序包:GNU GCC C/C++交叉编译器、GNU Binutils(assembler 和 linker)、Newlib(独立的 C 库)、GDB 交叉调试器、

DDD(GDB 可视化调试器)等,还包括一些工具,如交叉汇编器、汇编预处理器、GNU 连接器、二进制转换器等.其产生的工具链都是以 sparc-elf-开头,如 sparc-elf-gcc.

直接在 RAM 中运行的 RISC 程序的编译相对较简单,只需要使用 sparc-elf-gcc 工具即可.

通过 FLASH 加载运行的 RISC 程序的编译过程,即是制作一个 Boot-prom 的过程,可以用如下命令分三步来进行:

第一步:将应用程序编译成目标文件,但不连接;

第二步:配置参数,制作自启动镜像;

第三步:生成二进制文件.

3.4 编写 FLASH 驱动

要想程序最终从 FLASH 自动运行,必须将 Sparc-elf-objcopy 工具生成的二进制文件写入到 FLASH 中.这就必须编写 FLASH 的驱动程序.

RISC 通过存储控制寄存器 MCFG1 (Memory configuration register 1)来控制 FLASH 的相关配置和使用.其次必须编写操作 FLASH 芯片的函数,具体包括对 FLASH 芯片类型的确认、CFI 查询、擦除操作、读操作和写操作等函数.最后还要对 FLASH 进行写入和读出数据测试,比较数据的一致性,以确认驱动编写正确.

4 结束语

异构多核 DSP 的产生是计算机系统结构发展的必然^[6],异构多核 DSP 能否发挥最高的性能,在很大程度上取决于并行编译优化和嵌入式操作系统的有力支持.文中研究并实现计算高度密集型应用程序在异构多核 DSP 目标板上的运行方法,包括该运行方法在 RISC 部分的程序的实现原理、编写过程以及载入 RAM 和 FLASH 的全过程.研究和实践证明,文中的方法是完全可行的,为计算高度密集型应用在异构多核 DSP 上的进一步开发打下了良好的理论和实践基础.

参考文献:

- [1] 敖天勇,陈杰,刘建,等.基于 CostarII 的异构多核 DSP 设计与实现[J]. 微电子学与计算机, 2010, 27(3): 59-60.
- [2] 孔璐,吴武臣,侯立刚,等.基于 LEON3 的 SOC 平台设计与 SPI 嵌入[J]. 微电子学与计算机, 2010, 27(3): 173-174.

(下转第 52 页)

- 方法比较[J]. 计算机应用, 2009, 29(10): 2624—2627.
- [2] 郭亚军. 综合评价理论、方法及应用[M]. 北京: 科学出版社, 2008.
- [3] Diakoulaki D, Mavrotas G, Papyannakis L. Determining objective weights in multiple criteria problems: the CRITIC method[J]. Computer Ops Res, 1995, 22(7): 763—770.
- [4] Gao Yang, Qiu Tianshuang. Narrowband time delay estimation based on correlation coefficient[J]. Journal of Systems Engineering and Electronics, 2009, (20)5: 937—942.
- [5] 汪培庄. 模糊集与随机集落影[M]. 北京: 北京师范大学出版社, 1985.
- [6] 李德清, 谷云东, 李洪兴. 关于状态变权向量公理化定义的若干结果[J]. 系统工程理论与实践, 2004, 5(5): 97—102.
- [7] 刘文奇. 一般变权原理与多目标决策[J]. 系统工程理论与实践, 2000, 3(3): 97—102.
- [8] 易平涛, 张丹宁, 郭亚军. 动态综合评价中的无量纲化方法[J]. 东北大学学报: 自然科学版, 2009, 30(6): 889—892.
- [9] ITU-T Y. 1540—2007, Internet protocol data communication service—IP packet transfer and availability performance parameters[S]. ITU, 2007.

作者简介:

郭戎潇 女, (1981—), 博士生. 研究方向为军事通信网性能评估.

夏靖波 男, (1963—), 教授, 博士生导师. 研究方向为军事通信网性能评估.

董淑福 男, (1973—), 副教授. 研究方向为军事通信网性能评估.

(上接第 47 页)

- [3] 陈书明, 汪东, 陈小文, 等. 一种面向多核 DSP 的动态存储器分配设计方法[J]. 计算机学报, 2008, 31(10): 1737—1744.
- [4] 郭保东. 异构多核 DSP 互连通信机制的研究与实现[D]. 长沙: 国防科技大学, 2007.
- [5] Jiri Gaisler. BCC—bare—C cross—compiler user's manual (version 1.0.29)[M]. [s. l.]: Gaisler Research, 2007.
- [6] Gepner P, Kowalik M F. Multi—core processors: new way to achieve high system performance[C]//Proceedings of the International Symposium on Parallel Computing in Electrical Engineering (PARELEC'06). Bialys-

tok, Poland: IEEE Computer Society. 2006: 9—13.

作者简介:

吴家铸 男, (1963—), 副研究员. 研究方向为 DSP 集成开发环境.

田 希 男, (1986—), 硕士研究生. 研究方向为 DSP 集成开发环境.

刘继福 男, (1980—), 硕士研究生. 研究方向为 DSP 集成开发环境.

陈跃跃 男, (1960—), 研究员. 研究方向为计算机体系结构.